

總計畫主持人：劉致為教授 共同主持人：李敏鴻教授、陳敏璋教授  
執行單位：國立台灣大學電子所、國立台灣師範大學光電所、國立台灣大學材料系

## 計畫介紹

### 高遷移率之鍺(鍺矽)通道

砂 (家用車) → 鍺(鍺矽) (跑車) → 速度更快!

- High mobility channel (HMC)
- 高遷移率材料：鍺(鍺矽)
- 遷移率愈高 → 速度愈快

### 通道垂直堆疊

單層通道 → 雙層通道 → 三層通道

- 通道像是跨海大橋，堆疊1條→2條→7條
- 通道數目多 → 電流大 → 速度快

### 閉極環繞電晶體

平面電晶體 → 閉式電晶體 → 閉極環繞電晶體

- 閉極環繞電晶體提供更優良的閉極控制能力。
- 控制能力強 → 漏電流小 → 節能省電

## 總體目標

### 自駕車—未來智慧終端趨勢

Level 3 - 不用手 | Level 4 - 不用眼 | Level 5 - 不用腦

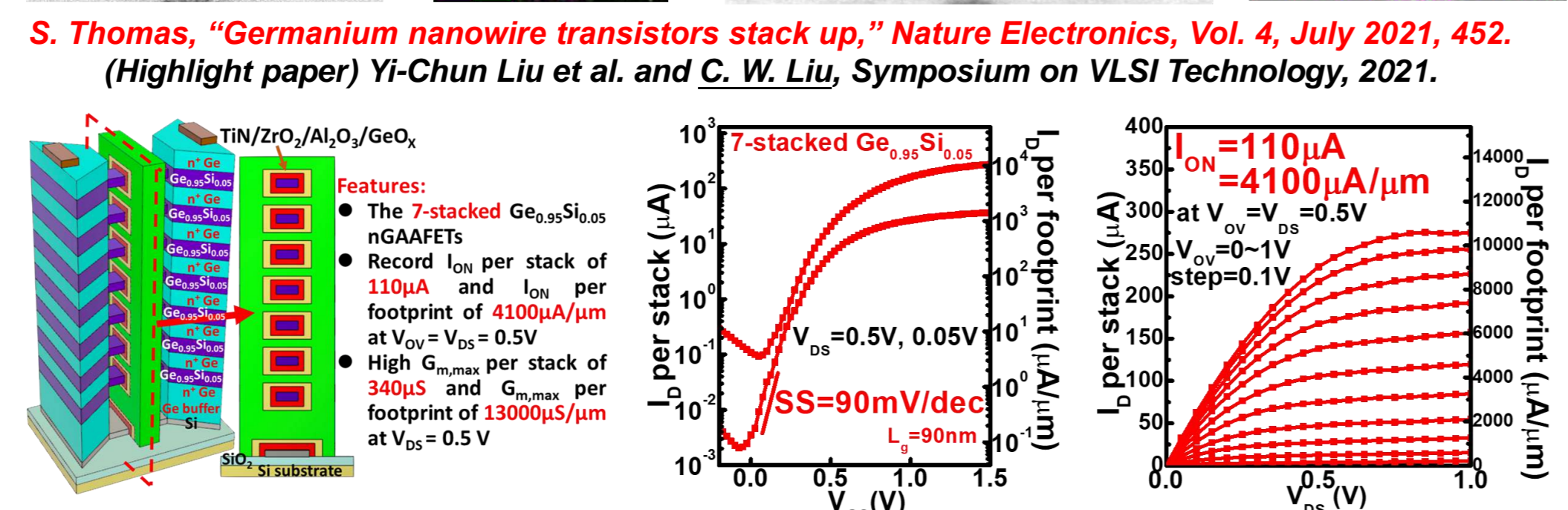
Source: PBS, Business Inside, Ansys, Autor, TectoGizmo

## 成果亮點

### 高層數鍺矽垂直堆疊通道電晶體 (2021 Nature Electronics Research Highlight)

7 Stacked GeSi Nanowires | 8 Stacked GeSi Nanosheets

S. Thomas, "Germanium nanowire transistors stack up," Nature Electronics, Vol. 4, July 2021, 452. (Highlight paper) Yi-Chun Liu et al. and C. W. Liu, Symposium on VLSI Technology, 2021.



- 7 stacked  $Ge_{0.95}Si_{0.05}$  nGAAFETs without S/D regrowth.
- Record  $I_{ON}=110\mu A$  ( $4100\mu A/\mu m$ ) at  $V_{OV}=V_{DS}=0.5V$  and high  $G_{m,max}=340\mu S$  ( $13000\mu S/\mu m$ ) at  $V_{DS}=0.5V$ .
- Nanowires surrounded by *in-situ* TiN to ensure the GAA structure.

### 樹狀通道電晶體 (2022 IEEE EDL)

FinFET | Nanosheets | TreeFET

Chien-Te Tu et al. and C. W. Liu, accepted by IEEE Electron Device Letters, 2022. (Early Access)

- TreeFET with {100} surfaces and {110} IBs is beneficial for electron and hole mobility of Si, respectively.
- TreeFET can provide larger  $I_{ON}$  per footprint (2.1X at  $V_{OV}=V_{DS}=0.5V$ ) than stacked nanosheet due to the additional IB conduction.

### 垂直式自旋軌道力矩磁性記憶體 (2021 IEEE TED)

Perpendicular SOT-MRAM with thermally robust beta-W based composite SOT channel.

SOT device scaling accelerates switching speed using micromagnetic simulation.

Ya-Jui Tsou et al., IEEE Transactions on Electron Devices, 2021.

### 利用類神經網路(FCN)預測電路層級之自發熱效應 (2020 VLSI)

Simulation time (folded INV chain)

Stage#	1	12	37	40
TCAD	1 month	N/A	N/A	N/A
SPICE	1.5hr	14hr	90hr	N/A
NN	<0.1s	<0.1s	<0.1s	<0.1s

3x10<sup>6</sup> X improvement

Chia-Che Chung et al., VLSI, 2020

- 利用 SPICE 熱模擬結果來訓練具備三層隱藏層的 FCN 神經網路，能大幅降低獲得電路溫度分布的計算成本 (>10<sup>6</sup>X) 並維持高精度 (相對誤差 <1°C)。
- 透過最佳化 via2 的位置及提升 via2 的數目，可降低反相器電路的自發熱效應。
- 相關結果已發表於 2020 VLSI。

### 以類神經網路(FCN+MCRNNs)預測複雜電路之溫度分佈 (2022 DAC WIP Sessions)

FCN+MCRNNs 之神經網路組合架構

Chia-Che Chung et al., accepted by Design Automation Conference (DAC) WIP Sessions, 2022.

### B 摻雜 Ge 與 GeSn 降低接觸電阻 (2020 VLSI)

Fang-Liang Lu et al., VLSI, 2020

- 用  $Ge_2H_6$  前驅物以化學氣相沉積成長 B 摻雜 Ge，活化 B 濃度可達  $7E20cm^{-3}$ 。
- 活化 B 濃度隨 Sn 濃度增加而減少。
- B 摻雜 Ge 及 GeSn 之接觸電阻分別可達  $4.1E-9$  及  $3.6E-9 \Omega\cdot cm^2$ 。
- 相關結果已發表於 2020 VLSI。

### 以光響應方法檢測 GeSi 元件是否存在 Ge 寄生通道 (2019 IEDM)

無寄生通道：負 Vt 偏移 | 有寄生通道：產生光電流

在照射 1310nm 之紅外光後，無寄生通道之元件具有負 Vt 偏移，而存在 Ge 寄生通道之元件則有光電流產生。

光響應方法可提供非破壞性檢測來確認元件是否存在寄生通道。

相關結果已發表於 2019 IEDM。

### Multi-domain 3D 極化模擬 (2020 IRPS)

- HZO 為 domain 大小為 5nm 的邊長之方型。
- 極化方向(強度)是通過高斯分佈隨機分配到各個 domain 中，以用來進行多維度的 3D 元件模擬。
- 角落(corner)會有極化濃縮的現象產生，此為去極化場(de-polarization)所造成。
- 相關成果發表於 IRPS 2020。

### 類反鐵電(AFE)氧化鉛銻負電容(NC)電晶體之優勢 (2019 IEDM)

- 對於 10nm QAFE，在操作電壓為 1.5V 範圍內就出現低於 60mV/dec，並且在範圍為 2V 時可以達到正反掃 hysteresis-free 現象產生。
- FE 的 hysteresis 會伴隨 SS 改善而來，而降低物理厚度可有效降低操作電壓。
- QAFE 的 NC 起始電壓小於遲滯發生的電壓，就代表存在沒有 hysteresis 的陡峭 SS 的操作空間。
- 相關成果發表於 IEDM 2019。

### 多層非等鐵電層之低錯誤率多階非揮發性鐵電電晶體 (2021 IEEE EDL)

- 相較單層 HZO，使用不同厚度的堆疊 HZO 電晶體可有效提升 MW (memory window) 及穩定的多階操作。
- 非等厚度鐵電層具有良好的可靠性，可操作次數 >10<sup>5</sup> 次，資料保存 >10<sup>4</sup> 秒。
- 相關成果發表於 IEEE Electron Device Letter (EDL), 2021。

### 具低功耗、高電流比、多階、非揮發性之反鐵電穿隧界面記憶體 (2021 IEEE EDL)

- 高的穿隧電阻比 (TER > 50x) 與高的電流比 (current ratio > 100x)。
- 低寫入與抹除的操作電壓 ( $V_{PE} = +4V/-2.5V$ )、低讀取電壓 ( $V_{read} = 0.9V$ )。
- 相關成果發表於 IEEE Electron Device Letter (EDL), 2021。

### 原子層蝕刻(atomic layer etching, ALEt)

(1) 精準的蝕刻速率：a few Å per ALEt cycle; (2) 蝕刻深度與 ALEt cycle 之間呈現高度線性的關係; (3) 具有高均勻度之數位化 layer-by-layer 蝕刻技術; (4) 三維高包圍度與階梯覆蓋度：Fin 寬度下降，高度不變; (5) 蝕刻後留下平坦與高品質的半導體表面。

### 區域選擇性原子層沉積(area-selective atomic layer deposition, AS-ALD)

As atomic layer nucleation engineering (ALNE) is introduced into the conventional  $Al_2O_3$  ALD cycle, the  $Al_2O_3$  deposition is completely inhibited on Pt surfaces but enhanced on the  $SiO_2$  surfaces, leading to the thickness difference up to ~15 nm at 100 ALD cycles.

### 高品質奈米鐵電薄膜電性質

- Z0: as-dep, Z4: 400°C PDA, Z6: 600°C PDA
- A giant  $P_r$  of  $55.1 \mu C/cm^2$  has been achieved in the 6.5 nm  $ZrO_2$  thin film treated with PDA at a low temperature of 400 °C, attributed to the preferred orientation of the  $ZrO_2$  layer.
- The  $P_r$  of  $> 50 \mu C/cm^2$  was verified by the ferroelectric PUND analysis with a long delay time.
- Wake-up free and significant ferroelectricity have been achieved in the HZO thin films, which can be deduced from the neglectable amount of the tetragonal phase.